

Docket No.: 60188-630

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
Shinsaku SEKIDO, et al. : Confirmation Number:
Serial No.: : Group Art Unit:
Filed: August 21, 2003 : Examiner:
For: CIRCUIT SIMULATION METHOD

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claims the priority of:

Japanese Patent Application No. JP 2002-246458, Filed on August 27, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

McDERMOTT, WILL & EMERY

Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:gav
Facsimile: (202) 756-8087
Date: August 21, 2003

60188-630

Shinsaku SEKIDO, et al.

August 21, 2003

日本国特許庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月27日

出願番号

Application Number:

特願2002-246458

[ST.10/C]:

[JP2002-246458]

出願人

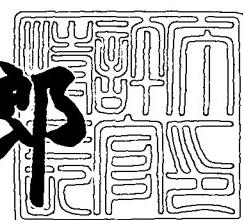
Applicant(s):

松下電器産業株式会社

2003年 4月25日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3030349

【書類名】 特許願

【整理番号】 2926430359

【提出日】 平成14年 8月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/82

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 関戸 真策

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 大谷 一弘

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 佐原 康之

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 中田 和久

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 鳴田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 回路シミュレーション方法

【特許請求の範囲】

【請求項1】 集積回路のマスクレイアウトデータから上記集積回路に含まれる電子素子の形状認識を行って上記電子素子のサイズデータを取得するステップ(a)と、

実測用電子素子の電気的特性の測定と、上記電子素子に加わる応力の指標となる事項を含む上記実測用電子素子各部のサイズ測定とを行なうステップ(b)と

上記ステップ(b)で測定された実測用電子素子の電気的特性のデータから、少なくとも上記実測用電子素子各部のサイズに基づいてパラメータを抽出するステップ(c)と、

回路シミュレータを用いて、上記集積回路に含まれる上記各電子素子に適するパラメータを上記パラメータ中から選択し、上記電子素子への応力を考慮に入れた回路シミュレーションを実行するステップ(d)と、
を含む回路シミュレーション方法。

【請求項2】 請求項1に記載の回路シミュレーション方法において、

上記ステップ(b)では、少なくとも素子分離用絶縁膜から上記電子素子に加わる応力の指標となる事項を測定し、

上記ステップ(d)では、素子分離用絶縁膜から上記電子素子に加わる応力を考慮に入れた回路シミュレーションを実行することを特徴とする回路シミュレーション方法。

【請求項3】 請求項1または2に記載の回路シミュレーション方法において、

上記ステップ(c)では、上記電子素子に加わる応力の指標となる事項に基づいて、互いに同一サイズの上記各電子素子に対して複数のパラメータを抽出することを特徴とする回路シミュレーション方法。

【請求項4】 請求項1～3のうちいずれか1つに記載の回路シミュレーション方法において、

上記ステップ（d）の前に、上記ステップ（b）で得られた応力の指標となる測定データに基づいて作成された追加モデルを上記回路シミュレータに入力するステップをさらに含み、

上記ステップ（d）で、上記集積回路に含まれる上記各電子素子に適するパラメータを選択する際には、上記追加モデルによる補正を加えることを特徴とする回路シミュレーション方法。

【請求項5】 請求項1～4のうちいずれか1つに記載の回路シミュレーション方法において、

上記ステップ（d）の前に、上記電子素子に加わる応力の指標となる事項に基づいて、上記集積回路に含まれる上記各電子素子と、上記各電子素子に適用するべきパラメータとを対照させる情報を含む参照テーブルを作成するステップと、上記参照テーブルを上記回路シミュレータに入力するステップとをさらに含み、

上記ステップ（d）で、上記集積回路に含まれる上記各電子素子に適するパラメータを選択する作業は、上記参照テーブルを用いて自動的に行われることを特徴とする回路シミュレーション方法。

【請求項6】 請求項5に記載の回路シミュレータにおいて、

上記参照テーブルは、上記集積回路に含まれる上記各電子素子を、重み付けを加えた複数のパラメータと対照させるものであることを特徴とする回路シミュレーション方法。

【請求項7】 請求項1～6のうちいずれか1つに記載の回路シミュレーション方法において、

上記電子素子及び上記実測用電子素子は、MISトランジスタまたはバイポーラトランジスタであることを特徴とする回路シミュレーション方法。

【請求項8】 請求項7に記載の回路シミュレーション方法において、

上記電子素子及び上記実測用電子素子は、ゲート電極、ゲート絶縁膜、活性領域及び上記活性領域を囲む素子分離用絶縁膜を有するMISトランジスタであって、

上記電子素子に加わる応力の指標となる事項は、上記活性領域中の上記ゲート電極の位置、上記活性領域のサイズ、上記素子分離用絶縁膜の幅のうち、少なく

とも1つの事項を含んでいることを特徴とする回路シミュレーション方法。

【請求項9】 請求項8に記載の回路シミュレーション方法において、

上記電子素子に加わる応力の指標となる事項は、上記活性領域の深さ、上記素子分離用絶縁膜の製造方法、上記素子分離用絶縁膜の深さ、上記素子分離用絶縁膜の材料、上記ゲート絶縁膜のサイズ、上記ゲート絶縁膜の材料のうち、少なくとも1つの事項をさらに含んでいることを特徴とする回路シミュレーション方法。

【請求項10】 請求項8または9に記載の回路シミュレーション方法において、

上記ステップ(d)では、上記ゲート絶縁膜から上記電子素子に加わる応力を考慮に入れた回路シミュレーションを実行することを特徴とする回路シミュレーション方法。

【請求項11】 請求項1~10のうちいずれか1つに記載の回路シミュレーション方法において、

上記ステップ(b)では、少なくとも層間絶縁膜から上記電子素子に加わる応力の指標となる事項を測定し、

上記ステップ(d)では、層間絶縁膜から上記電子素子に加わる応力を考慮に入れた回路シミュレーションを実行することを特徴とする回路シミュレーション方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、半導体集積回路装置の設計を利用する回路シミュレーション方法に関する。

【0002】

【従来の技術】

近年、例えば、MIS型半導体集積回路などのLSI分野では、半導体素子パターンの微細化、高集積化、及び半導体素子の動作の高速化が進むにつれ、集積回路に要求される設計仕様も多様で複雑になってきている。

【0003】

各種集積回路の設計仕様を満たすために、設計した各要素回路の機能検証や集積回路全体の動作検証には回路シミュレーションを行う。その場合、MISトランジスタ特性を表すパラメータを抽出し、それらのパラメータを用いてMISトランジスタの動作を予測する。

【0004】

通常、上述のパラメータ抽出に使用されるMISトランジスタ特性の実測データを得るために、サイズ（ゲート長L及びゲート幅W）が互いに異なる数種類以上のMISトランジスタが形成されている半導体ウェハを用いる。具体的には、そのウェハ上のMISトランジスタの主要特性を測定し、その電気特性を基に、MISトランジスタのパラメータを抽出する。

【0005】

従来の回路シミュレーションに用いられるパラメータについて、図を用いてさらに詳しく述べる。

【0006】

図12は、ある特定のMISトランジスタにドレイン電圧（ V_d ；またはソース-ドレイン間電圧）とゲート電圧 V_g を印加して、そのドレイン電流を測定した結果を示す図である。同図に示す観測結果から、各ゲート電圧 V_g （ V_{g1} , V_{g2} , V_{g3} ）に応じてそれぞれ1本のドレイン電流（ I_d ）-ドレイン電圧（ V_d ）曲線が描かれることが分かる。

【0007】

ここで、 I_d 、 V_d 、 V_g を適当なステップで変化させて得られた実測値を S_{piece} パラメータに置き換え、回路シミュレータに導入する。また、それら測定点の間の値は S_{piece} パラメータをもちいて補間され、シミュレータに導入される。

【0008】

図13は、ドレイン電圧 V_d とゲート電圧 V_g を一定にした場合の、トランジスタのゲート長Lとドレイン電流 I_d との関係を示す図である。図において、 $\bigcirc D = 0.3 \mu m$ 及び $\bigcirc D = 5.0 \mu m$ は、ゲート長方向におけるゲート電極端部

から素子分離領域までの片側のソース・ドレイン領域（活性領域）の幅である。

【0009】

同図に示す $I_d = I_{d1}$ 及び $I_d = I_{d2}$ の時の特性曲線から分かるように、トランジスタのゲート長によっても該トランジスタの特性は変化する。そのため、トランジスタサイズ（ゲート長 L 及びゲート幅 W ）を変化させた条件でも実測を行い、これを基に各トランジスタサイズに応じたパラメータを作成する必要がある。

【0010】

しかしながら、実際には各トランジスタ毎にパラメータを作成するのは大変なので、トランジスタサイズの領域別にパラメータを作成して、回路シミュレーションに用いている。

【0011】

図14は、領域区分された各パラメータの適用できるトランジスタサイズの範囲を示した図である。同図では、4つのパラメータを作成し、各パラメータの適用できるトランジスタサイズの領域を4つに区分した例を示している。例えば、ゲート幅が $W_1 \sim W_2$ で、且つ、ゲート長が $L_2 \sim L_3$ であるトランジスタサイズ（領域1）にはパラメータ1を用いて回路シミュレーションを行い、ゲート幅が $W_2 \sim W_3$ で、且つ、ゲート長が $L_1 \sim L_2$ であるトランジスタサイズ（領域4）にはパラメータ4を用いて回路シミュレーションを行う。

【0012】

図15は、従来の回路シミュレーション装置の構成を示すブロック図である。同図に示すように、通常の回路シミュレータには、マスクレイアウトから抽出されたネットリストと、デバイス特性の実測値から抽出されたパラメータとが入力される。

【0013】

まず、解析したい回路の設計情報を有するマスクレイアウトデータ101からトランジスタなどのサイズデータ102が抽出され、このトランジスタサイズデータ102がネットリスト103として回路シミュレータ100に入力される。なお、実際にはトランジスタのサイズのみならず容量や抵抗などもネットリスト

に含まれている。なお、図15ではマスクレイアウトデータ101から抽出されるデータとしてトランジスタデータが示されているが、実際には容量や抵抗体など、回路を構成する素子のデータも抽出される。

【0014】

一方、デバイスの実測値データ（デバイス測定データ）104からはシミュレーションに必要なパラメータ抽出105が行われ、パラメータ106として回路シミュレータ100に入力される。なお、このパラメータ抽出105の段階では、得られた実測値データ104をパラメータ106に置き換える操作を行なう。ここで、従来の方法では、トランジスタサイズの他、ソース及びドレイン領域の不純物濃度やゲート絶縁膜の膜厚なども考慮されていた。

【0015】

次に、入力されたパラメータ106は、回路シミュレータ100によってネットリスト103と照合される。そして、回路シミュレータ100内では、入力されたパラメータ106の中から各トランジスタサイズ103aに最適なモデルパラメータ106aが選択され、回路動作がシミュレーションされる。

【0016】

そして、例えば、解析対象の回路に所定の入力信号を与えたときに、出力端子にどのような出力信号が得られるかのシミュレーション結果が、出力結果107として得られる。また、種々の抵抗や容量を考慮した回路遅延の算出を行なうこともできる。なお、回路シミュレータとしては、「SPICE」や、それを改良したツールなどが一般に用いられる。

【0017】

通常は、回路シミュレータによるシミュレーション結果を参考にして、回路のレイアウトの修正が行われ、修正後のレイアウトに対して同様の手順で再度シミュレーションを実行する。上記手順を繰り返すことで、最適な回路設計を行なうことができる。

【0018】

【発明が解決しようとする課題】

上述の回路シミュレーション中では、トランジスタサイズの設計データと、入

力された実測データとを基に、各トランジスタの設計サイズに最も近いトランジスタサイズの実測データの電気的特性をあてはめる。そのため、回路シミュレーションの算出値と実際の回路を用いた実測値との間の誤差をなくすことは、本質的にできない。それ故、回路シミュレーションの算出値と実測値との間の誤差を回路設計上問題のないレベルにすることが求められる。

【0019】

集積回路のデザインルールが大きい場合、パラメータとしてトランジスタのサイズのみを用いる従来の方法でも、ゲート電極の形状、ソース及びドレイン領域の深さ、不純物濃度などによって補正を加えることで、出力の誤差は実用上問題のない値以下に抑えられていた。

【0020】

ところが、集積回路の微細化が進むにつれ、従来の方法による回路シミュレーションでは、実際の回路動作とのずれが顕著になってきている。特に、電子素子の中でも、MISトランジスタやバイポーラトランジスタの動作についての誤差が大きくなっている。

【0021】

集積回路の微細化は今後も進むと考えられ、特に0.13μm以下のデザインルールでは、より高い精度と正確さを有する回路シミュレーションが強く求められるようになっている。

【0022】

本発明の目的は、微細化された集積回路の設計に用いることができる、信頼性及び精度の向上が図られた回路シミュレーションの方法を提供することにある。

【0023】

【課題を解決するための手段】

本発明の回路シミュレーション方法は、集積回路のマスクレイアウトデータから上記集積回路に含まれる電子素子の形状認識を行って上記電子素子のサイズデータを取得するステップ(a)と、実測用電子素子の電気的特性の測定と、上記電子素子に加わる応力の指標となる事項を含む上記実測用電子素子各部のサイズ測定とを行なうステップ(b)と、上記ステップ(b)で測定された実測用電子

素子の電気的特性のデータから、少なくとも上記実測用電子素子各部のサイズに基づいてパラメータを抽出するステップ（c）と、回路シミュレータを用いて、上記集積回路に含まれる上記各電子素子に適するパラメータを上記パラメータ中から選択し、上記電子素子への応力を考慮に入れた回路シミュレーションを実行するステップ（d）とを含んでいる。

【0024】

この方法によれば、サイズ別に提供されていた電子素子のパラメータに、従来考慮されていなかった応力の影響が加味されているので、トランジスタに加わる応力による特性変動を考慮した正確且つ高精度の回路シミュレーションを行なうことができる。

【0025】

上記ステップ（b）では、少なくとも素子分離用絶縁膜から上記電子素子に加わる応力の指標となる事項を測定し、上記ステップ（d）では、素子分離用絶縁膜から上記電子素子に加わる応力を考慮に入れた回路シミュレーションを実行することにより、電子素子に加わるすべての応力を素子分離用絶縁膜からの応力として近似できるので、比較的簡便に応力を考慮に入れた正確且つ高精度な回路シミュレーションを実行することができる。

【0026】

上記ステップ（c）では、上記電子素子に加わる応力の指標となる事項に基づいて、互いに同一サイズの上記各電子素子に対して複数のパラメータを抽出することにより、各電子素子に、より実際の特性に近いパラメータを適用することができるので、従来に比べて精度、正確さ及び信頼性の高い回路シミュレーションを行なうことができる。

【0027】

上記ステップ（d）の前に、上記ステップ（b）で得られた応力の指標となる測定データに基づいて作成された追加モデルを上記回路シミュレータに入力するステップをさらに含み、上記ステップ（d）で、上記集積回路に含まれる上記各電子素子に適するパラメータを選択する際には、上記追加モデルによる補正を加えることにより、ステップ（c）で抽出するパラメータが応力を考慮に入れていく

ないものである場合にも、応力を考慮した精度の高い回路シミュレーションを行えるようになる。また、ステップ(c)で、応力を加味したパラメータ抽出を行なう場合にも、追加モデルを用いることでより回路シミュレーションの精度及び正確さをより向上させることができる。

【0028】

上記ステップ(d)の前に、上記電子素子に加わる応力の指標となる事項に基づいて、上記集積回路に含まれる上記各電子素子と、上記各電子素子に適用するべきパラメータとを対照させる情報を含む参照テーブルを作成するステップと、上記参照テーブルを上記回路シミュレータに入力するステップとをさらに含み、上記ステップ(d)で、上記集積回路に含まれる上記各電子素子に適するパラメータを選択する作業は、上記参照テーブルを用いて自動的に行われることにより、シミュレーションに要する時間を短縮することができる。そのため、特に、解析する電子素子数が多い場合に有効である。

【0029】

上記参照テーブルは、上記集積回路に含まれる上記各電子素子を、重み付けを加えた複数のパラメータと対照させることにより、複数のパラメータを組み合わせて新たなパラメータを作成することができるので、これを用いてより精度の高い回路シミュレーションを行なうことができるようになる。

【0030】

上記電子素子及び上記実測用電子素子は、MISトランジスタまたはバイポーラトランジスタであることが好ましい。電子素子の中でもMISトランジスタやバイポーラトランジスタは応力によって電気的特性が変化しやすいので、MISトランジスタまたはバイポーラトランジスタに応力を考慮に入れたパラメータを用いれば、電子素子すべてに対して応力を考慮に入れたパラメータを適用する場合に比べ、簡便に精度の高い回路シミュレーションを行なうことができる。

【0031】

上記電子素子及び上記実測用電子素子は、ゲート電極、ゲート絶縁膜、活性領域及び上記活性領域を囲む素子分離用絶縁膜を有するMISトランジスタであって、上記電子素子に加わる応力の指標となる事項は、上記活性領域中の上記ゲー

ト電極の位置、上記活性領域のサイズ、上記素子分離用絶縁膜の幅のうち、少なくとも1つの事項を含んでいることにより、応力の影響を加味したパラメータ抽出が可能となり、さらには応力の影響を加味した回路シミュレーションが可能となる。

【0032】

上記電子素子に加わる応力の指標となる事項は、上記活性領域の深さ、上記素子分離用絶縁膜の製造方法、上記素子分離用絶縁膜の深さ、上記素子分離用絶縁膜の材料、上記ゲート絶縁膜のサイズ、上記ゲート絶縁膜の材料のうち、少なくとも1つの事項をさらに含んでいることにより、電子素子に加わる応力の影響をより詳細に回路シミュレーションに反映させることができるので、シミュレーション精度の向上を図ることができる。

【0033】

上記ステップ(d)では、上記ゲート絶縁膜から上記電子素子に加わる応力を考慮に入れた回路シミュレーションを実行することにより、電子素子に加わる応力の影響をより詳細に回路シミュレーションに反映させることができるので、シミュレーション精度の向上を図ることができる。

【0034】

また、上記ステップ(b)では、少なくとも層間絶縁膜から上記電子素子に加わる応力の指標となる事項を測定し、上記ステップ(d)では、層間絶縁膜から上記電子素子に加わる応力を考慮に入れた回路シミュレーションを実行することによっても、電子素子に加わる応力の影響をより詳細に回路シミュレーションに反映させることができるので、シミュレーション精度の向上を図ることができる。

【0035】

【発明の実施の形態】

回路シミュレーションの精度を向上させるために、電子素子の動作に影響を与える因子の中で、従来の回路シミュレーションでは考慮されていなかった因子が調べられた。そして、種々の因子が調べられた結果、周囲からの応力(ストレス)がトランジスタの動作に影響を与えることが、見出された。

【0036】

トランジスタに加わる応力の中では、該トランジスタを囲む素子分離用絶縁膜からの応力が最も影響が大きい。浅いトレンチ型素子分離領域（S T I : Shallow Trench Isolation）などにより形成された素子分離用絶縁膜からは、トランジスタの活性領域を圧迫や圧縮するような応力が働く。

【0037】

図13に示す $I_d = I_{d1}$ と $I_d = I_{d2}$ の特性曲線は、それぞれ異なる応力を受けるM I Sトランジスタについての特性曲線である。両トランジスタでは、活性領域のサイズが異なっており、 I_{d1} は $OD = 0.3 \mu m$ （ゲート電極端部から素子分離領域までの片側のソース・ドレイン領域の幅：以下、片側OD幅と称す）であり、 I_{d2} は $OD = 5.0 \mu m$ である。

【0038】

同図から、例えばゲート長が $0.3 \mu m$ の場合、 $OD = 0.3 \mu m$ におけるドレイン電流 I_{d1} は約 $150 \mu A/\mu m$ で、 $OD = 5.0 \mu m$ におけるドレイン電流 I_{d2} は約 $125 \mu A/\mu m$ とODサイズによってドレイン電流に差が生じる。このことから、トランジスタの特性が、素子分離用絶縁膜からの応力の影響を大きく受けることが分かる。ここで示したのは一例であり、トランジスタの導電型などによっても電気的特性は変わってくるが、応力がトランジスタの特性に与える影響が大きいことは確かである。

【0039】

素子分離用絶縁膜からの応力は、トランジスタの活性領域のサイズやゲート電極の素子分離用絶縁膜からの距離などにより変わってくる。そのため、本願発明者らは、トランジスタへの応力を回路シミュレーションの新たなパラメータとして、実測するデータとして活性領域のサイズやゲート電極の素子分離用絶縁膜からの距離などを加えることとした。

【0040】

以下、本発明の回路シミュレーション方法の実施形態について説明する。

【0041】

（第1の実施形態）

図1は、本発明の第1の実施形態に係る回路シミュレーション方法を示すプロック図である。本実施形態の回路シミュレーション方法は、従来と同じくシミュレータとして「S P I C E」及びこれを改良したものを用い、パラメータとしてトランジスタに加わる応力を加えて回路シミュレーションを行う方法である。

【0042】

図1に示すように、本実施形態の回路シミュレーション方法において、回路シミュレータにはネットリストとパラメータのデータとが入力される。これらのデータは、次のようにして用意される。

【0043】

ネットリスト4は、解析対象の回路のマスクレイアウトデータ1から導き出される。

【0044】

まず、マスクレイアウトデータ1からトランジスタ部形状認識2を行う。このトランジスタ部形状認識2では、片側OD幅や素子分離用絶縁膜の幅（分離幅）の認識を行う。

【0045】

次に、トランジスタ部形状認識2の結果を基にして、トランジスタサイズデータ3a及びトランジスタモデル識別データ3bからなるデータ取得3を行う。ここで取得されるトランジスタサイズデータ3aは、トランジスタサイズ（ゲート長、ゲート幅）、容量、抵抗、及び、配線情報等である。そして、トランジスタモデル識別データ3bとしては、トランジスタ部形状認識2における片側OD幅や分離幅を基にしてマニュアルで作成された選択するモデル名が含まれる。この選択するモデル名には、応力の指標となるデータが含まれる。

【0046】

次に、これらトランジスタサイズデータ3a及びトランジスタ識別データ3bが、ネットリスト4として回路シミュレータ10に入力される。なお、図示されていないが、実際にはトランジスタのみならず、抵抗や容量などのデータも回路シミュレータ10に入力される。

【0047】

一方、パラメータ8のデータは、デバイス測定データ5となる実測用デバイスの実測値から導かれる。ここで、実測用デバイスは、測定用に選択あるいは作成されたデバイスのことであり、解析したデバイスと同じ種類のものが用いられる。

【0048】

まず、デバイス測定データ5は、MISトランジスタの場合、ゲート長Lと活性領域の幅Wでサイズを規定し、互いにサイズが異なる実測用MISトランジスタの電気特性を測定する。また、ゲート絶縁膜の膜厚や、ソース及びドレイン領域の形状、不純物濃度、基板の不純物濃度などについても条件を変えて測定する。さらに、本実施形態においては、応力に関する要素についても条件を変えて測定を行なう。

【0049】

次に、デバイス測定データ5からトランジスタ部形状認識6を行う。このトランジスタ部形状認識6では、実測したトランジスタの片側OD幅や分離幅の認識を行う。

【0050】

次に、トランジスタ部形状認識6を基にして、パラメータ抽出7の操作を行なう。図1では、互いに異なる応力を受ける3種類のトランジスタについて、応力のパラメータを基にパラメータ抽出7a, 7b, 7cが行われる例が示されている。ここでは、応力状態が3種類の場合を示したが、さらに多くの応力状態に応じたパラメータ抽出を行うこともできる。なお、このパラメータ抽出7の段階では、得られたデバイス測定データ5を応力に応じたモデルパラメータ群8a, 8b, 8cを有するパラメータ8に置き換える操作を行なう。

【0051】

次に、パラメータ抽出7によって変換された、応力に応じた特性を表すモデルパラメータ群8a, 8b, 8cを有するパラメータ8を回路シミュレータ10に入力する。

【0052】

そして、ネットリスト4とトランジスタのパラメータ8とが入力されると、回

路シミュレータ10内では、ネットリスト4のデータを基に、各トランジスタサイズ4aに応じて、応力を考慮したモデルパラメータ群8a, 8b, 8cの中から最適なモデルパラメータを選択して回路シミュレーションを行う。ここで、各トランジスタにどのモデルパラメータを選択するかの情報は、トランジスタモデル認識データ3bを基にして入力される。

【0053】

続いて、各トランジスタにあてはめられたパラメータを用いて回路シミュレータ10から計算結果9が出力される。

【0054】

回路シミュレータ10内において、従来の回路シミュレーション方法では、応力を考慮に入れたパラメータが存在しなかったために、同じサイズで異なる応力を受けるトランジスタに対して、同じパラメータをあてはめざる得なかった。そのため、応力による特性のズレが誤差として含まれてしまい、正確なシミュレーションを行なうことが困難であった。

【0055】

これに対し、本実施形態の回路シミュレーション方法では、例えば同一トランジスタサイズでも応力に応じてモデルパラメータ群8a, 8b, 8cの中から最適なモデルパラメータを選択することができる。例えば、図1の例ではあるサイズのトランジスタ「Trサイズ1」には、受けている応力の違いにより「Trサイズ1aモデル」、「Trサイズ1bモデル」及び「Trサイズ1cモデル」の中から最適なモデルパラメータを選択することができる。

【0056】

このため、本実施形態の回路シミュレーション方法によれば、従来の方法に比べてシミュレーションの精度及び正確さが大きく向上し、微細化した回路の設計にシミュレーション結果を用いることが可能になる。しかも、応力に関する因子をより多く測定し、パラメータ抽出時の場合分けを増やすことで、シミュレーション精度をより向上させることができるとなる。このように、本実施形態の回路シミュレーション方法は、今後、集積回路がさらに微細化した場合の回路設計にも十分対応可能である。それ故、例えば、デザインルールが0.13μm以下と

なる場合の回路設計にも好ましく用いられる。ただし、本実施形態の回路シミュレーション方法を既存の集積回路の設計に用いても有用であることは、言うまでもない。従って、本発明の回路シミュレーション方法を用いることにより、新しい集積回路を短期間で開発し、市場のニーズに合った製品を素早く提供することが可能となる。

【0057】

次に、本願発明者らにより明らかにされた、応力をパラメータとするために測定すべき事項について説明する。

【0058】

MISトランジスタに加わる応力は、素子分離用絶縁膜からのもの、ゲート絶縁膜からのもの、層間絶縁膜からのものなどがあるが、そのうち最も大きいのが素子分離用絶縁膜からの応力である。そのため、少なくとも次の要素が応力の大きさを予測するための指標として用いられる。

- ・活性領域の大きさ（縦×横）
- ・ゲート電極と素子分離用絶縁膜とに挟まれた活性領域の長さ（活性領域中のゲート電極の位置）
- ・トランジスタを囲む素子分離用絶縁膜の幅

次に、具体的に測定する事項の例を、図を用いて説明する。

【0059】

図6(a), (b)は、サイズが同じで活性領域中のゲート電極の位置が互いに異なるMISトランジスタの例を示す平面図である。図示しないが、活性領域61は素子分離用絶縁膜で囲まれている(図7でも同じ)。

【0060】

同図(a), (b)に示すように、製造上の理由などにより同一活性領域61上にゲート電極62とダミーゲート電極63とを設けることがある。このような場合、トランジスタサイズが同一であっても、その電気的特性は異なってくる。なお、トランジスタサイズは、ゲート長L1と活性領域の幅W1とで規定されるものとする。

【0061】

この例で、ゲート電極62の位置によってトランジスタの電気的特性が異なるのは、ゲート電極62の位置が変われば素子分離用絶縁膜からの距離が変わるものである。図6(a)のようにゲート電極62が活性領域61のほぼ中央部に配置されたトランジスタよりも、図6(b)のようにゲート電極62が活性領域61の片側に偏って配置され素子分離用絶縁膜に近いトランジスタほど、ゲート電極62は素子分離用絶縁膜からの応力を強く受けるので、電気的特性が変化するのである。

【0062】

図7(a)～(c)は、活性領域のサイズまたは活性領域中のゲート電極の位置を変化させたMISトランジスタの例を示す平面図である。同図では、ゲート長L1が0.3μmで活性領域の幅W1が10μmのMISトランジスタの例を示している。なお、以下の本明細書中で「活性領域の幅」と書くときは、ゲート幅方向の活性領域の幅を意味するものとする。また、「活性領域の長さ」(片側OD幅)と書くときは、ゲート長方向における活性領域の、ゲート電極端部下から素子分離用絶縁膜までの片側活性領域の幅を意味するものとする。

【0063】

図7(a)に示すMISトランジスタは、活性領域64の中央部にゲート電極60が配置されており、ゲート電極60の両側方に位置する活性領域の長さが0.3μmの例を示す。

【0064】

図7(b)に示すMISトランジスタは、活性領域65の中央部にゲート電極60が配置されており、ゲート電極60の両側方に位置する活性領域の長さが5.0μmの例を示す。

【0065】

また、図7(c)に示すMISトランジスタは、活性領域66のうちの左側に偏ってゲート電極60が配置されており、ゲート電極60の左側方に位置する活性領域の長さが0.3μm、右側方に位置する活性領域の長さが10.0μmである例を示す。

【0066】

図7 (a) と図7 (b) とに示すMISトランジスタは、互いに活性領域の長さが異なっているため、互いに異なる応力を素子分離用絶縁膜から受けるので、電気的特性互いに異なっている。このことから、活性領域のサイズは応力の指標の1つになることが分かる。

【0067】

また、図7 (b) と図7 (c) とに示すMISトランジスタは、ゲート長方向の活性領域の全幅はほぼ同程度であるが、ゲート電極の配置位置が異なる。そのため、ゲート電極が素子分離用絶縁膜から受ける応力が異なるので、互いに電気的特性が異なる。

【0068】

以上から、活性領域のうち、ゲート電極の左右の側方に位置する活性領域の長さが応力の指標となることが分かる。

【0069】

例えば、図7 (a) ~ (c) に相当する応力状態を考慮するために、図1に示す本実施形態では、応力状態に応じたパラメータ抽出7a, 7b, 7cを行い、その結果をモデルパラメータ群8a, 8b, 8cとするパラメータ8を回路シミュレータ10に入力しておくことにより、応力を考慮した回路シミュレーションを行うことができる。

【0070】

図8 (a) ~ (c) は、素子分離用絶縁膜のサイズが異なるMISトランジスタの例を示す平面図である。なお、ここで示す各MISトランジスタは、活性領域67及びゲート電極68は、同一サイド、同一形状であり、ゲート電極68のゲート長は0.3μm、ゲート幅方向の活性領域67の幅が10μm、ゲート長方向の活性領域67の幅が0.9(0.3+0.3+0.3)μmで互いに同一のサイズを有している。また、活性領域の長さ及び活性領域67上のゲート電極68の位置も互いに同一である。

【0071】

図8 (a) に示すMISトランジスタは、活性領域67の外側を取り囲むように素子分離用絶縁膜69が形成されており、その素子分離用絶縁膜69の外側を

取り囲むように半導体領域（外側活性領域）72が形成されている。素子分離用絶縁膜69のうち、図中における活性領域67の左右に位置するゲート長方向の分離幅は両側とも $4.0\mu m$ であり、図中における活性領域67の上下に位置するゲート幅方向の分離幅は両側とも $1.0\mu m$ である。

【0072】

図8（b）に示すMISトランジスタは、活性領域67の外側を取り囲むように素子分離用絶縁膜70が形成されており、その素子分離用絶縁膜70の外側を取り囲むように半導体領域（外側活性領域）73が形成されている。素子分離用絶縁膜70のうち、図中における活性領域67の左右に位置するゲート長方向の分離幅は両側とも $4.0\mu m$ であり、図中における活性領域67の上下に位置するゲート幅方向の分離幅は両側とも $0.3\mu m$ である。

【0073】

図8（c）に示すMISトランジスタは、活性領域67の外側を取り囲むように素子分離用絶縁膜71が形成されており、その素子分離用絶縁膜71の外側を取り囲むように半導体領域（外側活性領域）74が形成されている。素子分離用絶縁膜71のうち、図中における活性領域67の左右に位置するゲート長方向の分離幅は両側とも $0.3\mu m$ であり、図中における活性領域67の上下に位置するゲート幅方向の分離幅は両側とも $1.0\mu m$ である。

【0074】

図8（a）と図8（b）に示すMISトランジスタでは、素子分離用絶縁膜のうち、ゲート長方向の分離幅は両側とも $4.0\mu m$ と同じであるが、ゲート幅方向の分離幅は図8（a）が両側とも $1.0\mu m$ 、図8（b）が両側とも $0.3\mu m$ となっており、互いに異なっている。このとき、この2つのMISトランジスタの電気的特性は互いに異なっている。これは、素子分離用絶縁膜による分離幅によってトランジスタが受ける応力が変わってくるためである。

【0075】

また、図8（a）と図8（c）に示すMISトランジスタは、素子分離用絶縁膜のうち、ゲート幅方向の分離幅は両側とも $1.0\mu m$ と同じであるが、ゲート長方向の分離幅は図8（a）が両側とも $4.0\mu m$ 、図8（c）が両側とも $0.$

$3 \mu m$ となっており、互いに異なっている。このときも、この2つのMISトランジスタの電気的特性は互いに異なっている。

【0076】

以上のことから、MISトランジスタを囲む素子分離用絶縁膜のサイズ（分離幅）も応力の指標の1つとして用いることができる事が分かる。

【0077】

図9は(a)～(c)は、素子分離用絶縁膜のサイズが異なるMISトランジスタのもう1つの例を示す平面図である。同図(a)～(c)に示すMISトランジスタは、図8(a)～(c)に示すそれぞれのMISトランジスタと、活性領域67、ゲート電極68は同じであり、素子分離用絶縁膜69a, 70a, 71aによるゲート長方向及びゲート幅方向の分離幅も同じであるが、素子分離用絶縁膜69a, 70a, 71aの外側に位置する半導体領域72a, 73a, 74aが4分割されている点が異なっている。このような場合も、図9(a)～(c)に示すそれぞれのMISトランジスタに加わる応力は互いに異なってくる。

【0078】

以上のことから、応力のパラメータの指標となる事項をまとめると、次のようになる。

【0079】

図10は、MISトランジスタの平面図であって、応力の影響を加味したパラメータを得るために測定すべき主な事項の一例を示す図である。同図において、75は活性領域、76はゲート電極、77は素子分離用絶縁膜、78は半導体領域（外側活性領域）である。

【0080】

同図に示すように、本実施形態の回路シミュレーション方法で応力の指標として使用する主な事項は、トランジスタサイズ（ゲート長L1, ゲート幅W1）の他に、内側の活性領域75のうちゲート電極76の左右に位置する領域の片側OD幅ODFL及びODFR、活性領域75を囲む素子分離用絶縁膜77のうち、該活性領域75のゲート長方向に位置する両側の分離幅ODSL, ODSR、及び、該活性領域75のゲート幅方向に位置する両側の分離幅ODSU, ODSD

などである。なお、以下の明細書中では、ODFLとODFRとをまとめてODフィンガーと称し、ODSL、ODSR、ODSU、ODSDをまとめてODセパレートと称す。

【0081】

図11 (a), (b) は、図10に示すMISトランジスタにおける応力の指標をまとめた表を示す図である。なお、同図 (b) では、図9 (a) ~ (c) に示すMISトランジスタにおける応力の各指標を示している。

【0082】

以上の指標を実測し、これらを基にしてパラメータ抽出を行なうことにより、MISトランジスタに加わる応力をパラメータに組み込んだ精度の高い回路シミュレーションが実行されるのである。

【0083】

この他にも、活性領域や素子分離用絶縁膜が複雑な形状をしている場合には、必要に応じて応力に影響する事項を指標として加えることで、より精度の高いシミュレーションが可能となる。

【0084】

また、厳密には素子分離用絶縁膜や活性領域の深さ、素子分離用絶縁膜の作製方法によっても応力が違ってくるため、これらのデータを考慮に入れることで、より精度の高いシミュレーションが可能となる。

【0085】

また、素子分離用絶縁膜の材質によってもトランジスタに加わる応力は異なってくる。例えば、不純物を含まないSiO₂とBPSG（ホウ素とリンを含むSiO₂）とでは、トランジスタへの応力が異なる。

【0086】

その他にも、ゲート絶縁膜のサイズ、膜厚、材質も応力の観点から新たな指標として用いることができ、SOI基板の場合には埋め込み酸化膜の位置なども応力の指標となりうる。また、層間絶縁膜の厚さを指標として加えることで、層間絶縁膜からの応力を考慮に入れたシミュレーションを行うことも可能である。

【0087】

なお、本実施形態の回路シミュレーション方法について、応力のパラメータをMISトランジスタに適用する場合を説明したが、バイポーラトランジスタについても適用することができる。この場合は、例えばベース、エミッタ及びコレクタとなるそれぞれの領域と素子分離用絶縁膜との距離や、素子分離用絶縁膜のサイズなどが応力の指標として用いられる。また、上記以外のトランジスタや、容量、抵抗体、ダイオードにも適用することができる。これは、以下の実施形態でも同様である。

【0088】

(第2の実施形態)

図2は、本発明の第2の実施形態に係る回路シミュレーション方法を示すブロック図である。本実施形態の回路シミュレーション方法は、応力の影響の指標となる実測データから導かれた追加モデルのデータを回路シミュレータに入力する方法である。なお、第1の実施形態と同じ構成には、同じ符号を付与している。

【0089】

図2に示すように、本実施形態の回路シミュレーション方法において、回路シミュレータ10にはネットリスト4とパラメータ8に加え、応力状態に基づいて各トランジスタに適用するパラメータを補正するための追加モデル8dが入力される。

【0090】

この追加モデル8dは、第1の実施形態で説明したODフィンガーやODセパレート、素子分離用絶縁膜の深さなど、トランジスタに加わる応力の指標となるデバイス測定データ5の実測値からパラメータ抽出7Aが行われ、パラメータに変換されて追加モデル8dとして回路シミュレータ10に入力される。

【0091】

また、ネットリスト4は第1の実施形態と同様に、解析対象の回路のマスクレイアウトデータ1から導き出される。すなわち、マスクレイアウトデータ1からトランジスタ部の形状認識2が行われ、その結果を基に、トランジスタサイズデータ3a及びトランジスタ識別データ3bからなるデータ取得3を行う。ここで取得されるトランジスタサイズデータ3aは、トランジスタサイズ(ゲート長、

ゲート幅)、ソース及びドレイン領域の不純物濃度、容量、抵抗、及び、配線情報等である。そして、トランジスタモデル識別データ3 bとしては、トランジスタ部形状認識2における片側OD幅や分離幅を基にしてマニュアルで作成された選択するモデル名が含まれる。この選択するモデル名には、応力の指標となるデータが含まれる。

【0092】

また、本実施形態の方法においては、従来と同様にトランジスタのサイズに基づいてトランジスタ部形状認識6を行い、デバイス測定データ5の実測値を基にしたパラメータ抽出7 Aが行われる。そのため、基本的には同一のサイズのトランジスタに対して1つのパラメータが適用される。

【0093】

しかしながら、本実施形態の回路シミュレーション方法においては、各トランジスタサイズ4 aに対するモデルパラメータ8 eを選択する際に、各トランジスタの応力状態に応じて追加モデル8 dによる補正を加えることで、従来に比べて精度及び正確さの高いシミュレーションを行なうことが可能になっている。なお、各トランジスタに適するパラメータの選択は、トランジスタモデル識別データ3 bの作成においてマニュアル操作によって行われるが、後に説明する実施形態のようにコンピューターソフトにより自動的に行わせることもできる。

【0094】

本実施形態の方法によれば、回路シミュレータ用の応力を加味したモデルパラメータがない場合でも、従来のモデルパラメータ8 eに応力状態に基づいてパラメータを補正するための追加モデル8 dを付加することによって、応力を考慮に入れた高精度の回路シミュレーションを行うことができ、精度の高い出力結果9を得ることができる。さらに、より詳細な応力状態を表す追加モデルを作成することで、シミュレーション精度を向上させることもできる。

【0095】

また、第1の実施形態のように、応力状態を加味したパラメータ抽出を行なう場合にも追加モデルを適用することができる。

【0096】

図3は、本実施形態の回路シミュレーション方法の変形例を示すブロック図である。図2と異なるのは、図3に示す例では、同じサイズのトランジスタについて、例えば3つの応力状態に基づいてパラメータ抽出を行っている点である。そして、回路シミュレータ10内では、1つのサイズのトランジスタに対し、受けている応力に応じた3通りの追加モデルa, b, cが加味されたモデルパラメータ群8f, 8g, 8hが準備されており、同一トランジスタサイズでも応力に応じてモデルパラメータ群8f, 8g, 8hの中から最適なモデルパラメータを選択することができる。

【0097】

例えば、第1の実施形態の図1における「Trサイズ1aモデル」には応力が加味されているが、本実施形態の図3における「Trサイズ1aモデル」自体には応力が加味されていないが、「追加モデルa」による補正を加えることにより応力を加味したしたシミュレーションを行うことができる。

【0098】

本変形例では、この3通りのモデルパラメータ群8f, 8g, 8hに、追加モデルa, b, cによる応力を加味するための補正を加えることにより、さらに精度の高い回路シミュレーションを行なうことが可能となる。ただし、追加モデルa, b, cにはパラメータ抽出7A₁, 7A₂, 7A₃に用いるデータよりも詳細なデータが準備されている必要がある。

【0099】

以上のように、本実施形態の回路シミュレーション方法によれば、追加モデルによって応力の影響についての補正を加えることで、より精度を向上させることが可能になっている。そのため、本実施形態の回路シミュレーション方法は、微細化した回路の設計にも十分用いることができる。

【0100】

(第3の実施形態)

図4は、本発明の第3の実施形態に係る回路シミュレーション方法を示すブロック図である。なお、第1の実施形態と同じ構成には、同じ符号を付与している。

【0101】

本実施形態の回路シミュレーション方法が第1の実施形態と異なるのは、各トランジスタサイズ4 aと各モデルパラメータ群8 a、8 b、8 cの中の最適なモデルパラメータとを対応させる参照テーブル1 2を使用する点である。

【0102】

第1の実施形態では、ネットリスト4中の各トランジスタサイズ4 aに最適なモデルパラメータを選択する際には、設計者がマニュアル操作で各トランジスタサイズと各モデルパラメータの対照情報をトランジスタ識別データ3 bに入力する。これに対し、本実施形態の回路シミュレーション方法では、回路シミュレータ1 0内にネットリスト4、パラメータ8のデータ、参照テーブル1 2を入力する。このとき、トランジスタ識別データ3 bには片側OD幅や分離幅が取得されるだけで、第1の実施形態のようなモデル名の入力は行わない。そして、回路シミュレータ1 0内で、参照テーブル1 2の情報に基づいて、各トランジスタサイズ4 aに適するモデルパラメータがモデルパラメータ群8 a、8 b、8 cの中から自動的に選択される。

【0103】

このトランジスタ参照テーブル1 1は、マスクレイアウトデータ1を用いたトランジスタ部の形状認識2と、デバイス測定データ5を用いたトランジスタ部の形状認識6とが終わった後に、双方の形状認識2、6を基にマニュアルで作成され、回路シミュレータ1 0内に自動的に参照テーブル1 2として入力される。これは、例えば、Tr 1にはパラメータTr 1 aが、Tr 2にはパラメータTr 2 bが対応する、というような対照表である。

【0104】

本実施形態において、回路シミュレータ1 0中では、この参照テーブル1 2を用いて各トランジスタサイズに対する最適なモデルパラメータが自動的に選択されるので、トランジスタ数が増えても解析時間はそれほど長くならない。これは、トランジスタ数が増えても参照テーブル1 2を作成する時間はそれほど変わらないのに対し、回路シミュレータによる解析時間がマニュアル操作の時に比べて短縮されるからである。

【0105】

このため、本実施形態の回路シミュレーション方法によれば、トランジスタ数が多い場合に、第1の実施形態に比べて解析時間を短縮することができる。なお、シミュレーション精度は第1の実施形態と変わらない。

【0106】

なお、本実施形態では、第1の実施形態において参照テーブルを用いる例を説明したが、第2の実施形態のように、追加モデルを使用する場合にも参照テーブルを用いることは有効である。

【0107】

(第4の実施形態)

図5は、本発明の第4の実施形態に係る回路シミュレーション方法を示すプロック図である。なお、第3の実施形態と同じ構成には、同じ符号を付与している。第3の実施形態と異なるのは、トランジスタ参照テーブル13と複合参照テーブル14と複合モデルパラメータ群8Aが付加された点である。

【0108】

同図に示すように、本実施形態の回路シミュレーション方法では、回路シミュレータ10において、複合参照テーブル14を用いて1つのトランジスタに対して複数のパラメータを選択することができる。

【0109】

回路シミュレータ10には、ネットリスト4と各モデルパラメータ群8a, 8b, 8c、そして、トランジスタ参照テーブル13によってあらかじめ準備された複合参照テーブル14とが入力される。ここで、複合参照テーブル14は、1つのトランジスタに対し複数のモデルパラメータを選択し、それぞれのモデルパラメータの重み付けに応じた複合モデルパラメータ8Aを用いて回路シミュレーションを行って出力結果を得るようになっている。

【0110】

図5に示す例では、複合参照テーブル14によってトランジスタTr1に対してモデルパラメータTr1aとモデルパラメータTr1bが選択され、各パラメータにはそれぞれの重みが付けられている。例えば、Tr1がTr1aとTr1

bのちょうど中間の応力状態に置かれている場合、Tr1には、f1(Tr1a, Tr1b) = (Tr1a × 0.5 + Tr1b × 0.5) のf1モデルが適用される。これにより、トランジスタに加わる応力状態が、パラメータ抽出7a, 7b, 7cによって得られたモデルパラメータ群8a, 8b, 8cの間にある場合に、中間の応力状態にある複合モデルパラメータを作成し、適用することができる。その結果、第3の実施形態では、パラメータ抽出7によって得られた応力状態にあるモデルパラメータ群8a, 8b, 8cの中からしか選択できなかったのに対し、本実施形態では、中間の応力状態にある複合モデルパラメータを用いて回路シミュレーションを行うことができるため、高精度な出力結果を得ることができる。

【0111】

以上のように、本実施形態の回路シミュレーション方法によれば、複合参照テーブル14を用いて1つのトランジスタに対し複数のパラメータを選択し、そこから新しい複合モデルパラメータを生成することにより、より回路シミュレーションの精度及び正確さを向上させることができる。なお、あるトランジスタにどのようなパラメータを選択し、どのような重み付けをするかは、活性領域の形状やゲート電極の位置など、応力の各指標を考慮して決定すればよい。

【0112】

なお、本実施形態の回路シミュレーション方法において、1つのトランジスタに対して選択するパラメータは2つに限らず、3つ以上であってもよい。

【0113】

また、本実施形態の回路シミュレーション方法は、第2の実施形態のように、追加モデルを使用する場合に適用しても有効である。

【0114】

【発明の効果】

本発明の回路シミュレーション方法によれば、電子素子に加わる応力の影響をパラメータに加味することにより、回路シミュレーションの精度及び正確さを向上させることができる。これにより、微細化が進む集積回路の設計を迅速に行なうことができるようになり、新製品を短期間で市場に投入することが可能となる

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る回路シミュレーション方法を示すブロック図である。

【図2】

本発明の第2の実施形態に係る回路シミュレーション方法を示すブロック図である。

【図3】

第2の実施形態に係る回路シミュレーション方法の変形例を示すブロック図である。

【図4】

本発明の第3の実施形態に係る回路シミュレーション方法を示すブロック図である。

【図5】

本発明の第4の実施形態に係る回路シミュレーション方法を示すブロック図である。

【図6】

(a) , (b) は、サイズが同一で活性領域中のゲート電極の位置が互いに異なるMISトランジスタの例を示す平面図である。

【図7】

(a) ~ (c) は、活性領域のサイズまたは活性領域中のゲート電極の位置を変化させたMISトランジスタの例を示す平面図である。

【図8】

(a) ~ (c) は、素子分離用絶縁膜のサイズが異なるMISトランジスタの一例を示す平面図である。

【図9】

(a) ~ (c) は、素子分離用絶縁膜のサイズが異なるMISトランジスタの一例を示す平面図である。

【図10】

MISトランジスタの平面図であって、応力の影響を加味したパラメータを得るために測定すべき主な事項の一例を示す図である。

【図11】

(a), (b)は、図10に示す応力の指標をまとめた表を示す図である。

【図12】

あるサイズのMISトランジスタにおいて、異なるゲート電圧 V_g を印加したときの電気特性を示す図である。

【図13】

ドレイン電圧 V_d とゲート電圧 V_g を一定にした場合の、トランジスタのゲート長とドレイン電流との関係を示す図である。

【図14】

回路シミュレーション用のパラメータの1つとして使用する領域区分の例を示す図である。

【図15】

従来の回路シミュレーション装置の構成を示すブロック図である。

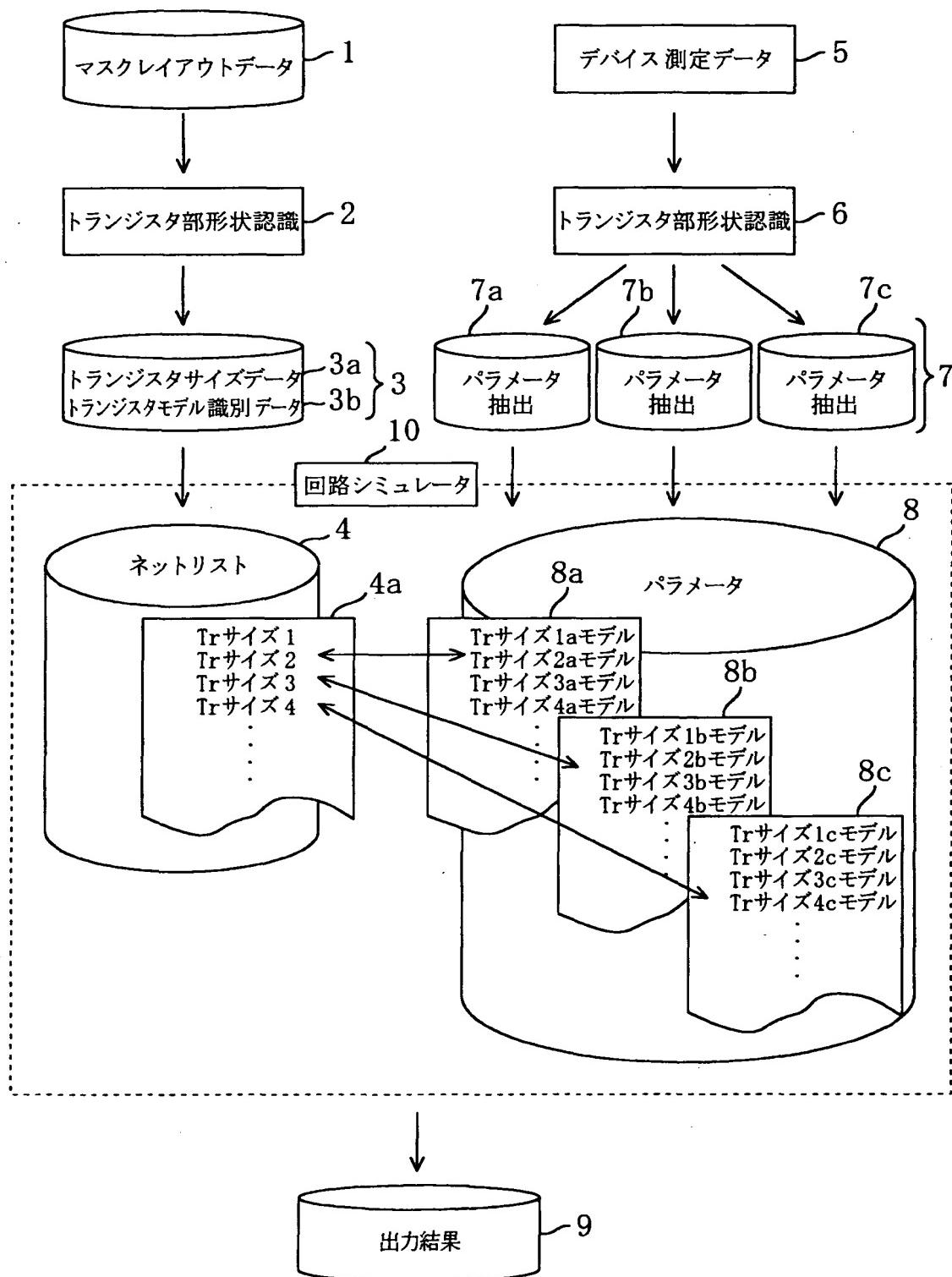
【符号の説明】

1	マスクレイアウトデータ
2, 6	トランジスタ部形状認識
3	データ取得
3 a	トランジスタサイズデータ
3 b	トランジスタ識別データ
4	ネットリスト
4 a	トランジスタサイズ
5	デバイス測定データ
7, 7 a, 7 b, 7 c	パラメータ抽出
7 A, 7 A ₁ , 7 A ₂ , 7 A ₃	パラメータ抽出
8	パラメータ
8 a, 8 b, 8 c	モデルパラメータ群

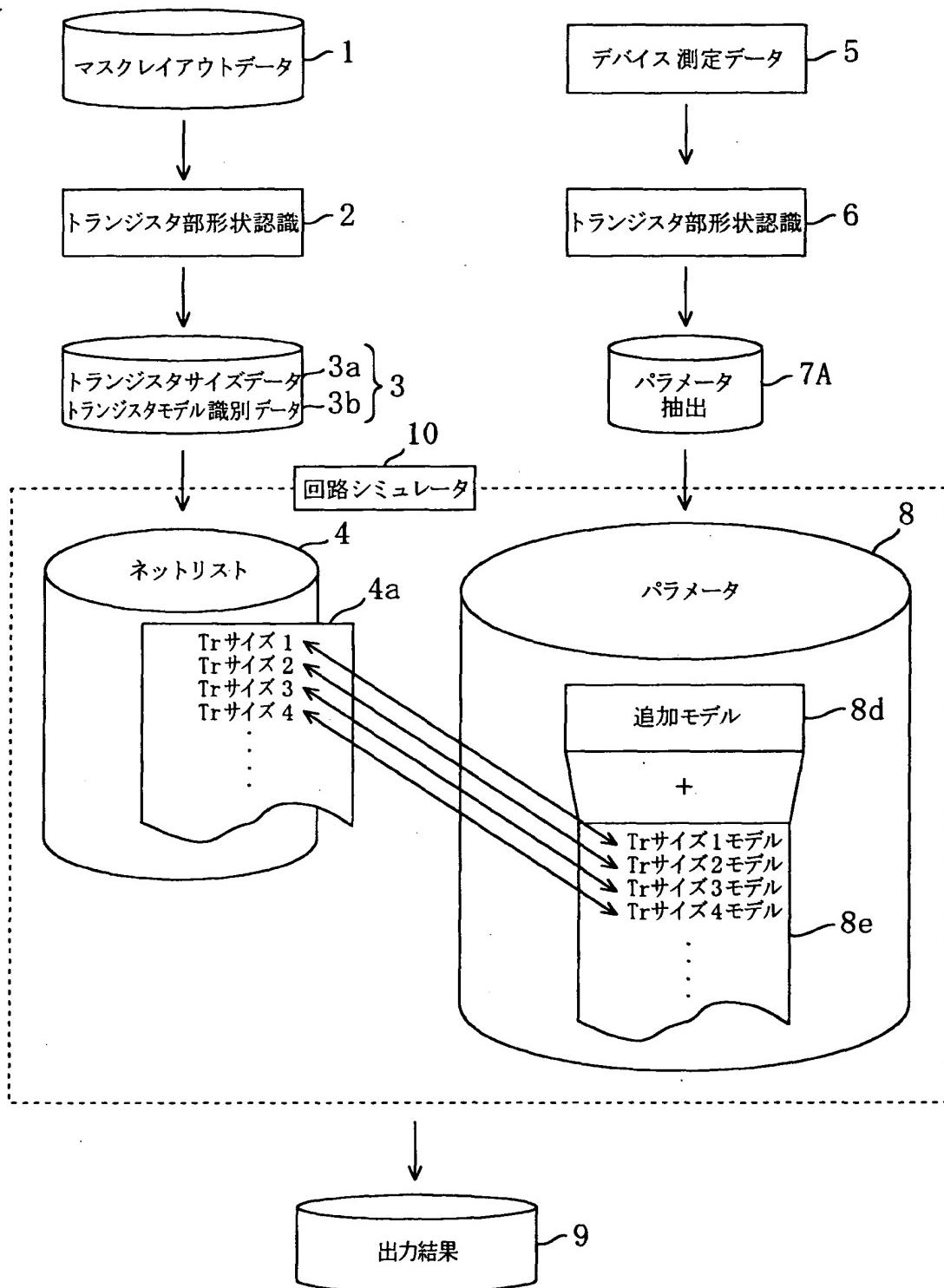
8 d	追加モデル
8 f, 8 g, 8 h	モデルパラメータ群
8 e	従来のモデルパラメータ
8 A	複合モデルパラメータ群
9	出力結果
10	回路シミュレータ
11, 13	トランジスタ参照テーブル
12	参照テーブル
14	複合参照テーブル
60, 62, 68	ゲート電極
61, 64, 65, 66, 67	活性領域
63	ダミーゲート電極
69, 69a, 70, 70a, 71, 71a	素子分離用絶縁膜
72, 72a, 73, 73a, 74, 74a	半導体領域
75	活性領域
76	ゲート電極
77	素子分離用絶縁膜
78	半導体領域

【書類名】 図面

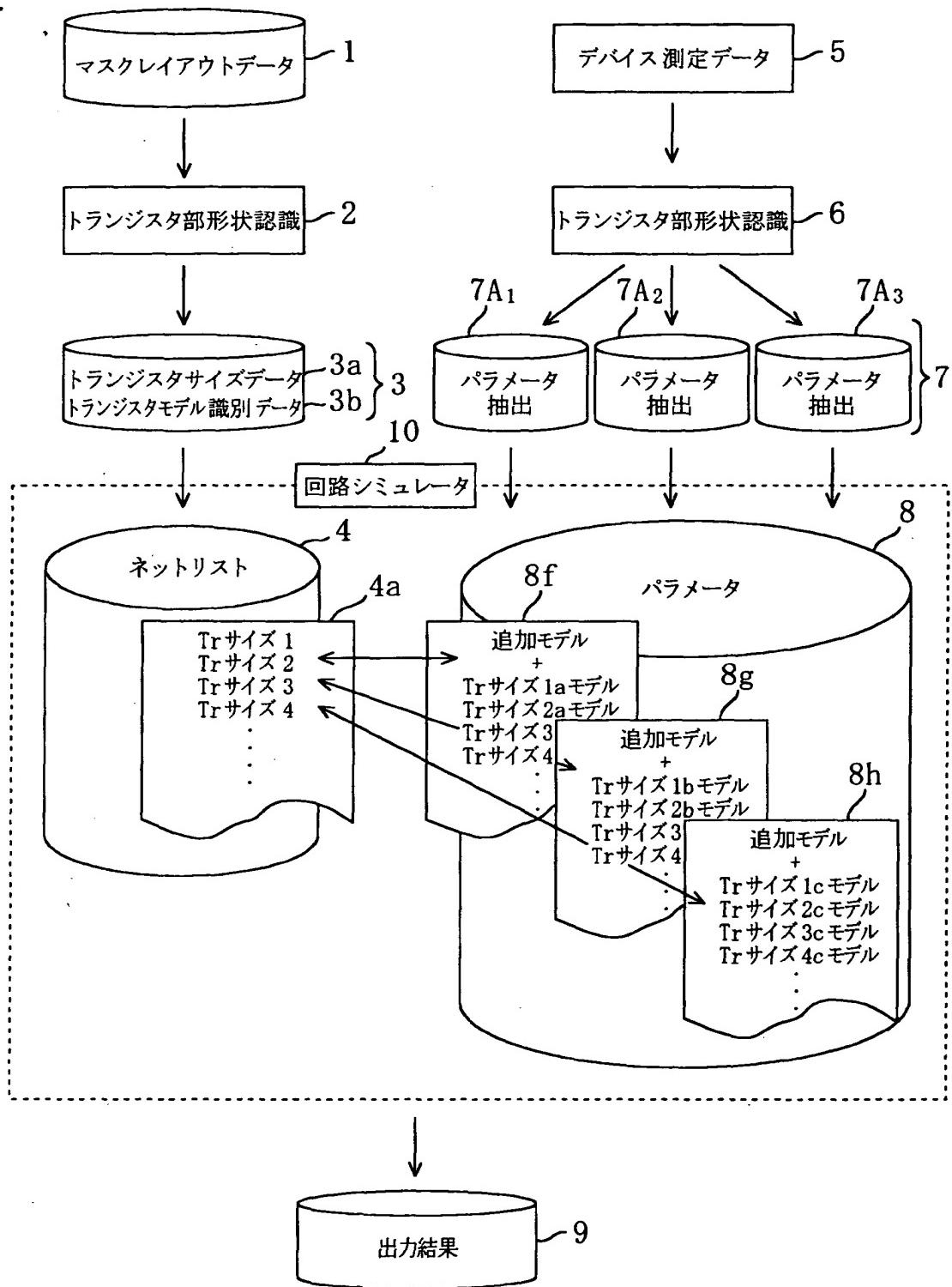
【図1】



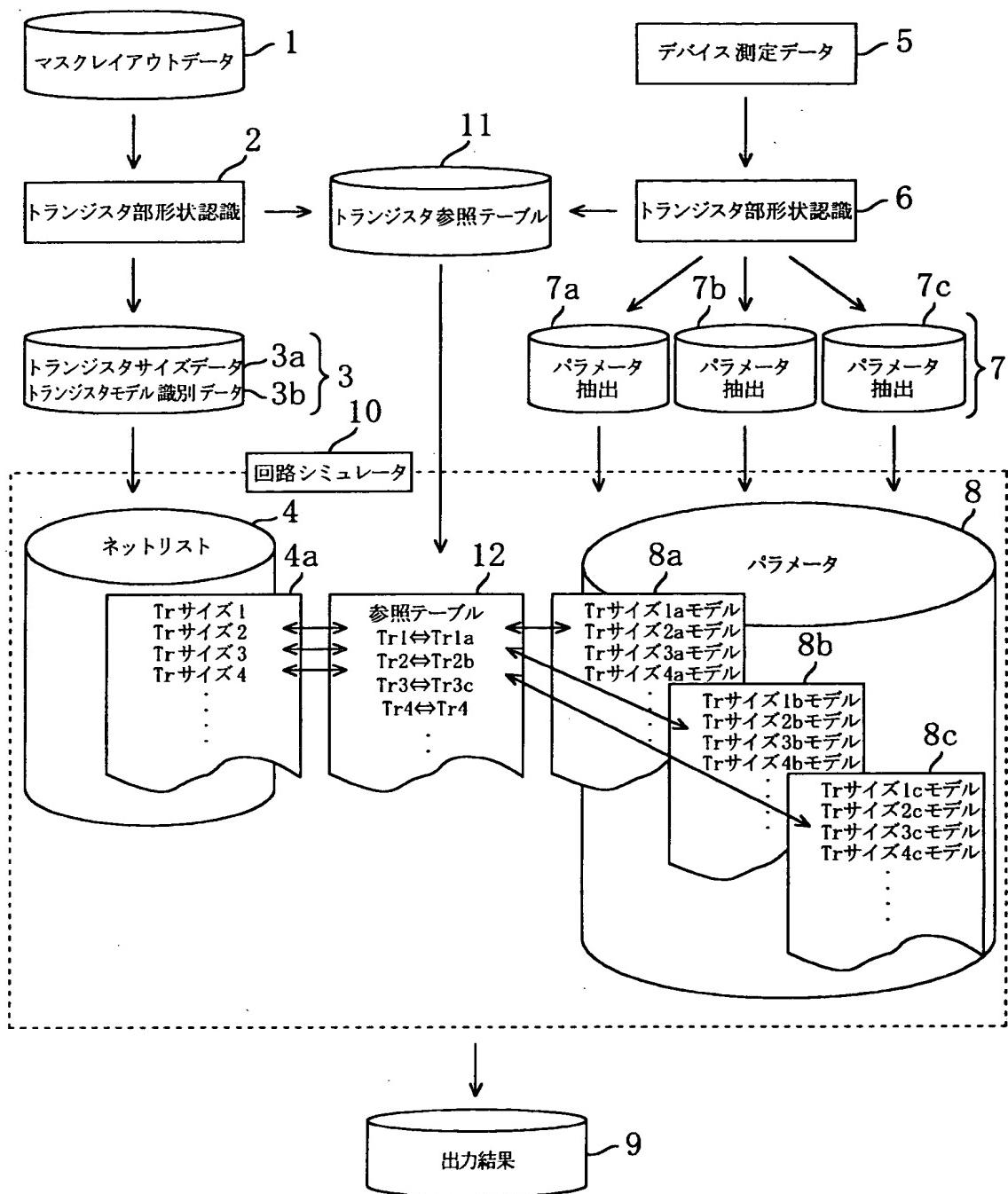
【図2】



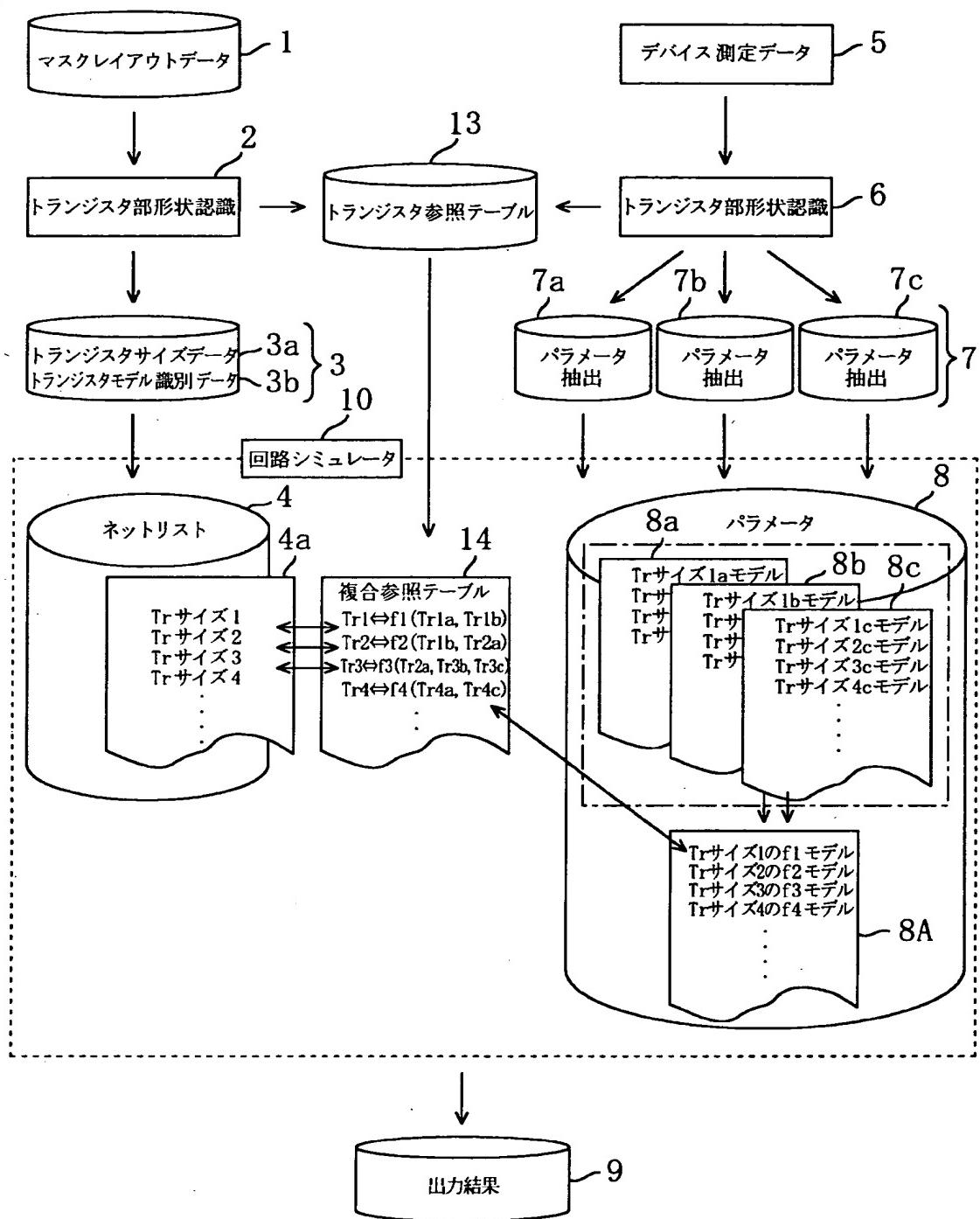
【図3】



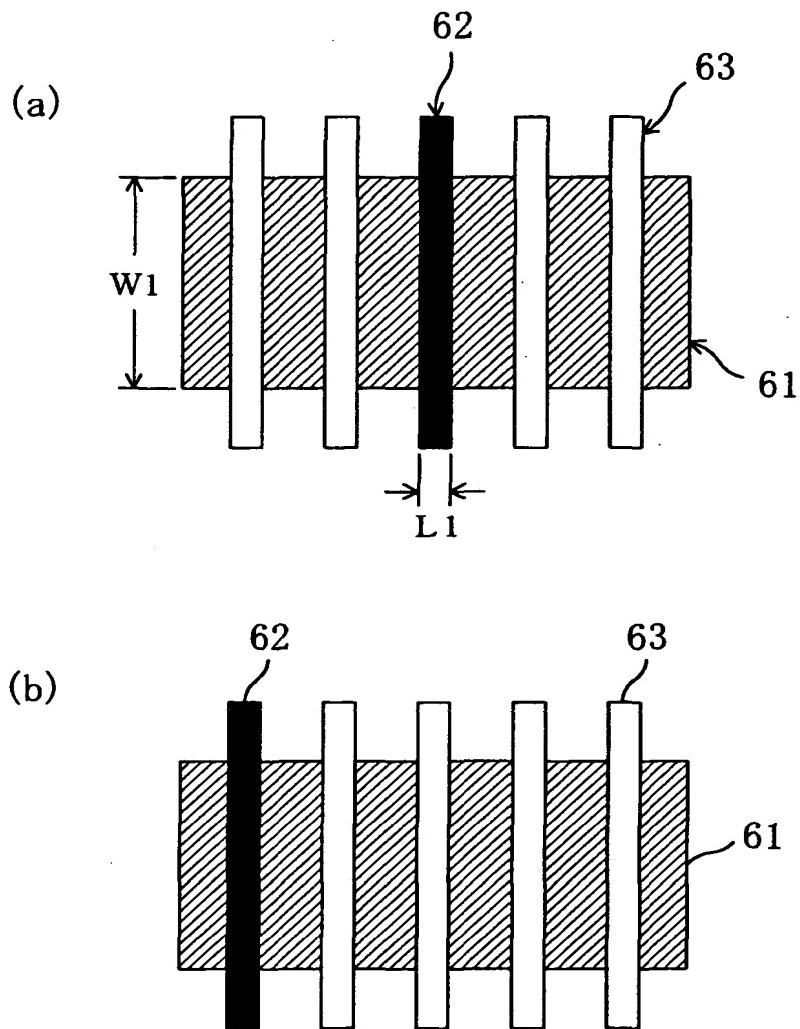
【図4】



【図5】

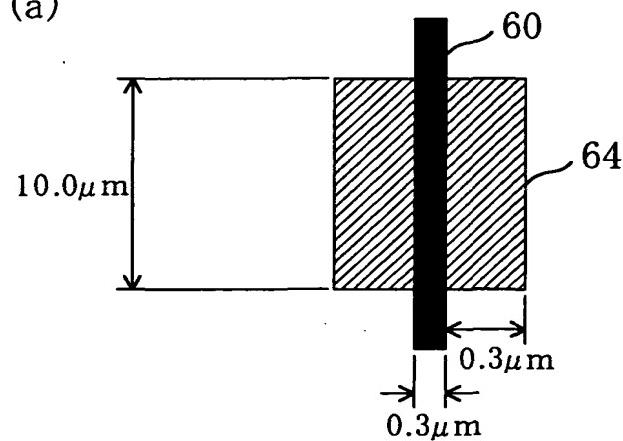


【図6】

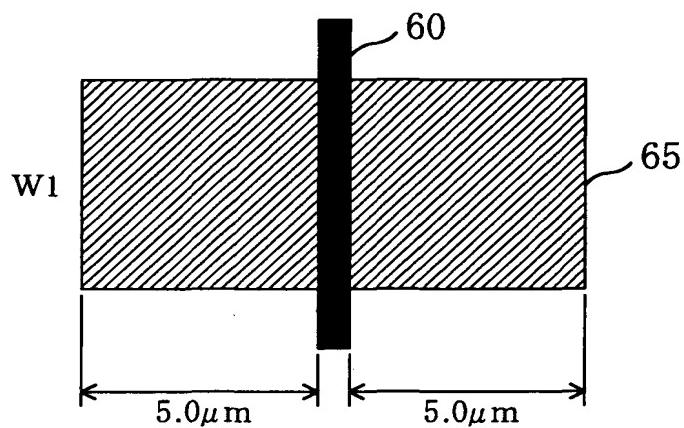


【図7】

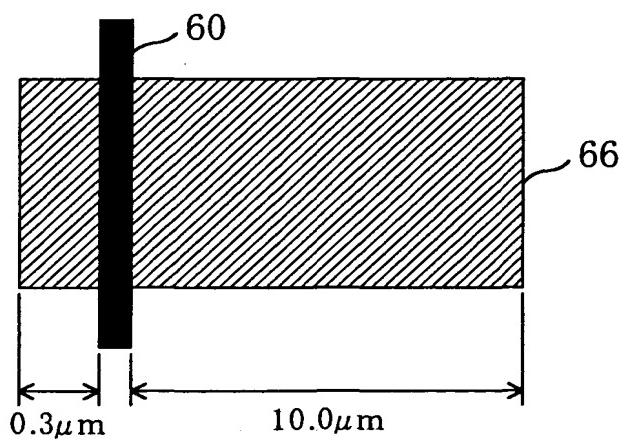
(a)



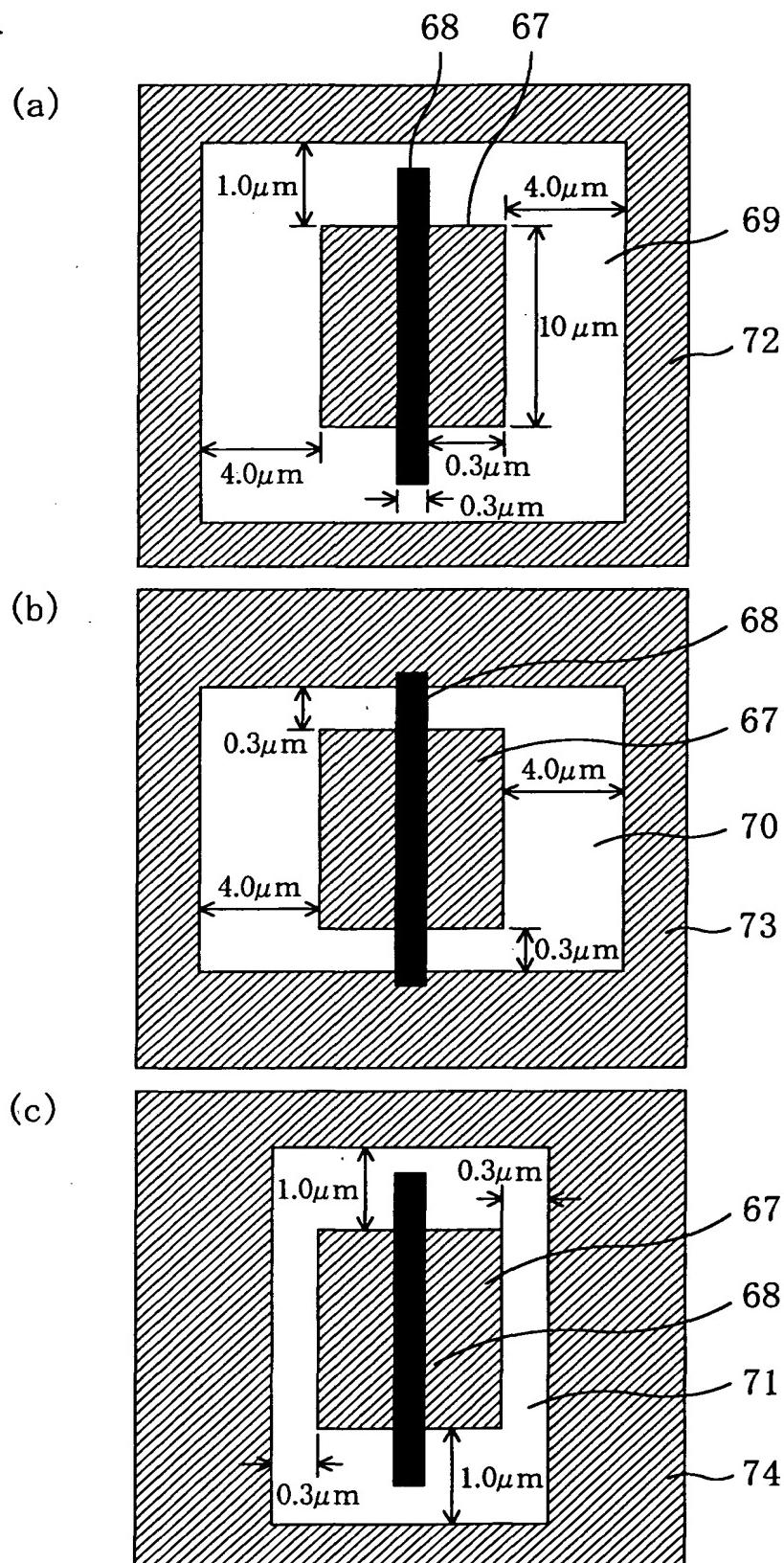
(b)



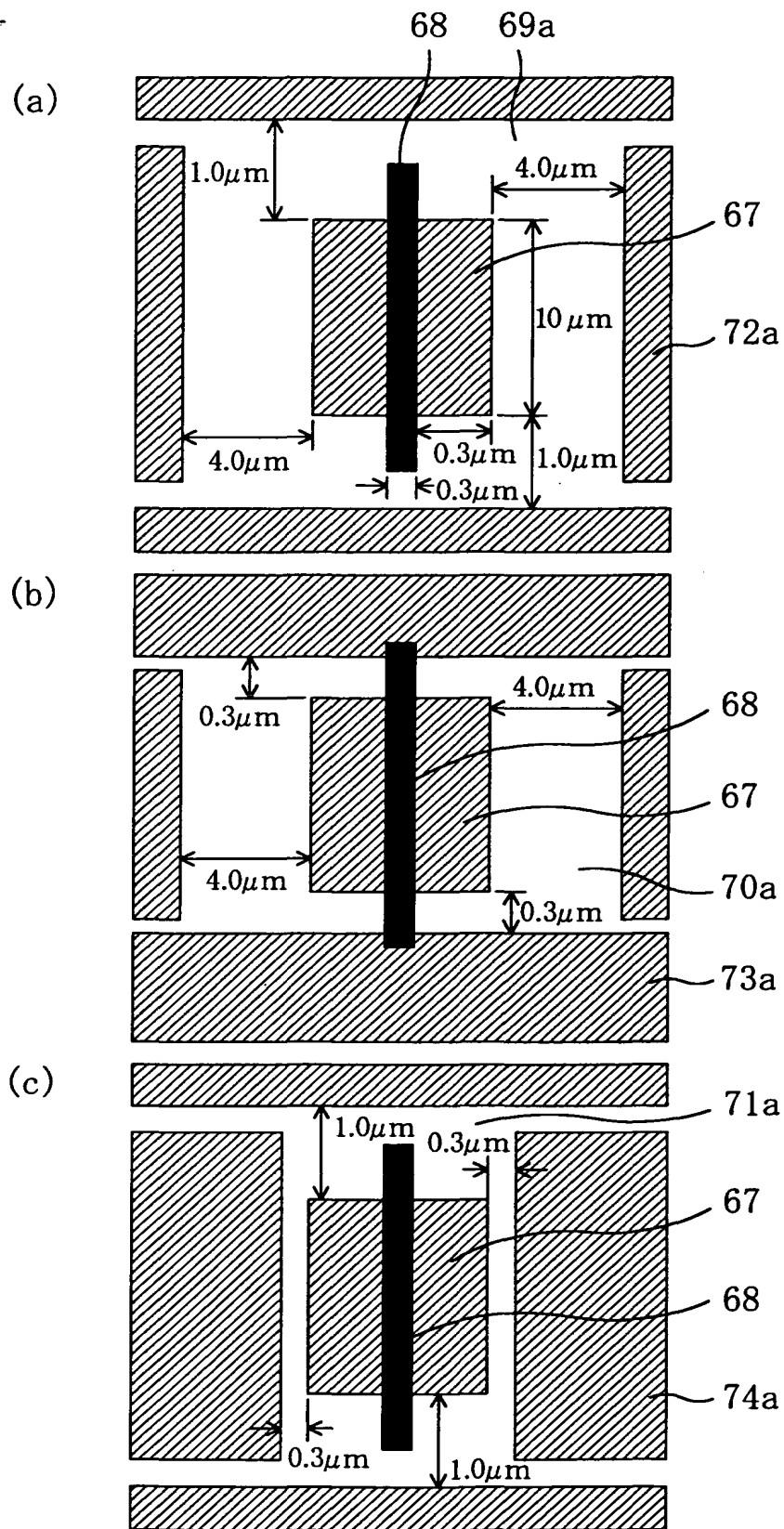
(c)



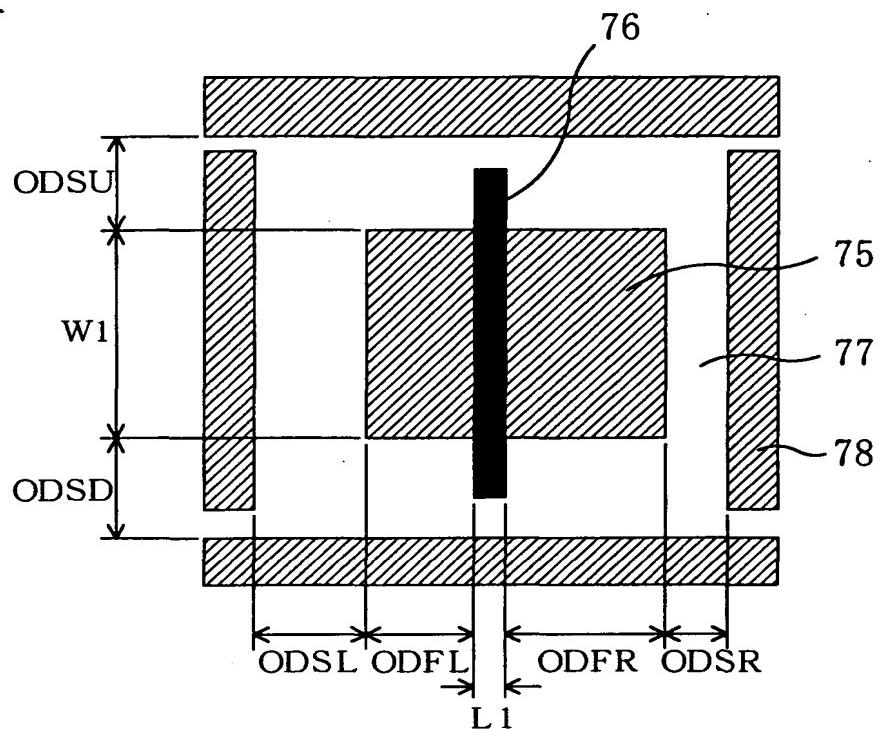
【図8】



【図9】



【図10】



【図11】

トランジスタサイズ		ODフィンガー			ODセパレート		
L	W	左	右	左	右	上	下
L1	W1	ODFL	ODFR	ODSL	ODSR	ODSU	ODSD

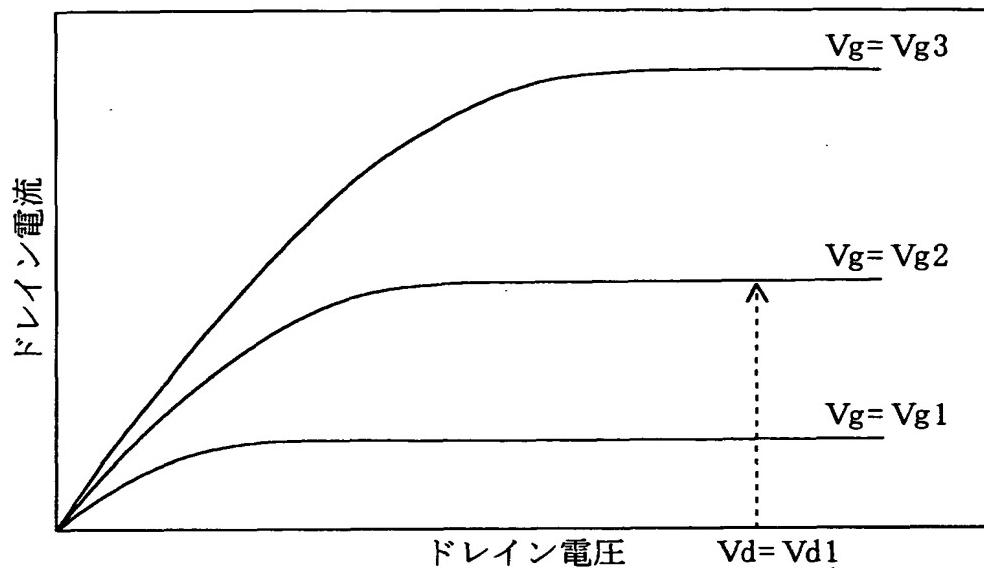
(a)

トランジスタサイズ		ODフィンガー			ODセパレート			
	L	W	左	右	左	右	上	下
a	0.3	10	0.3	0.3	4.0	4.0	1.0	1.0
b	0.3	10	0.3	0.3	4.0	4.0	0.3	0.3
c	0.3	10	0.3	0.3	0.3	0.3	1.0	1.0

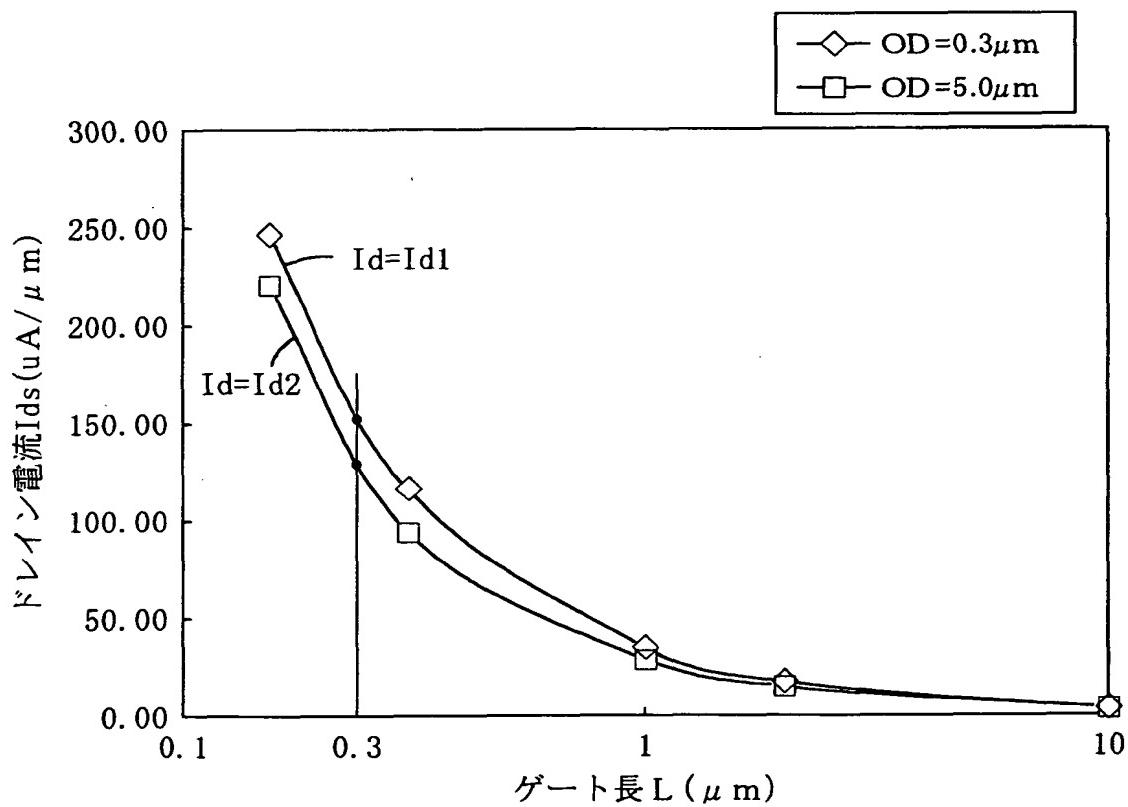
(b)

(単位: μm)

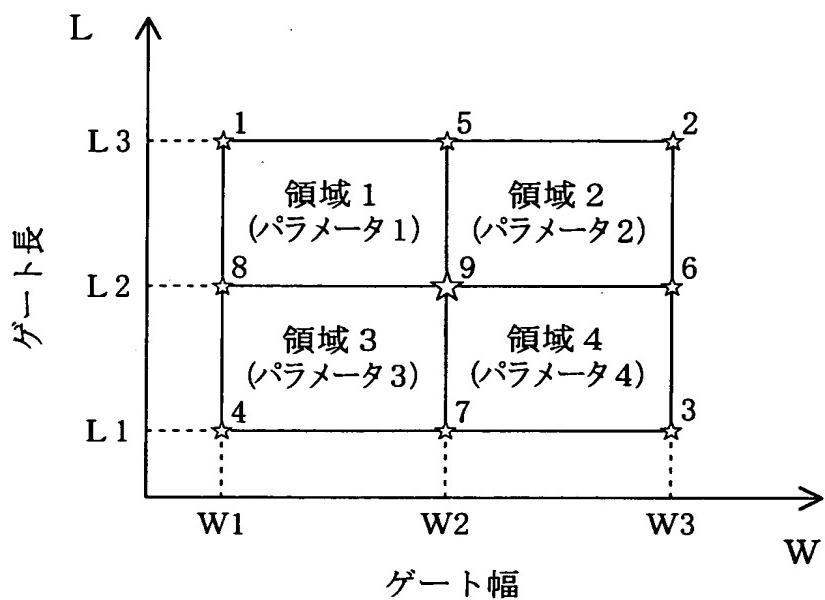
【図12】



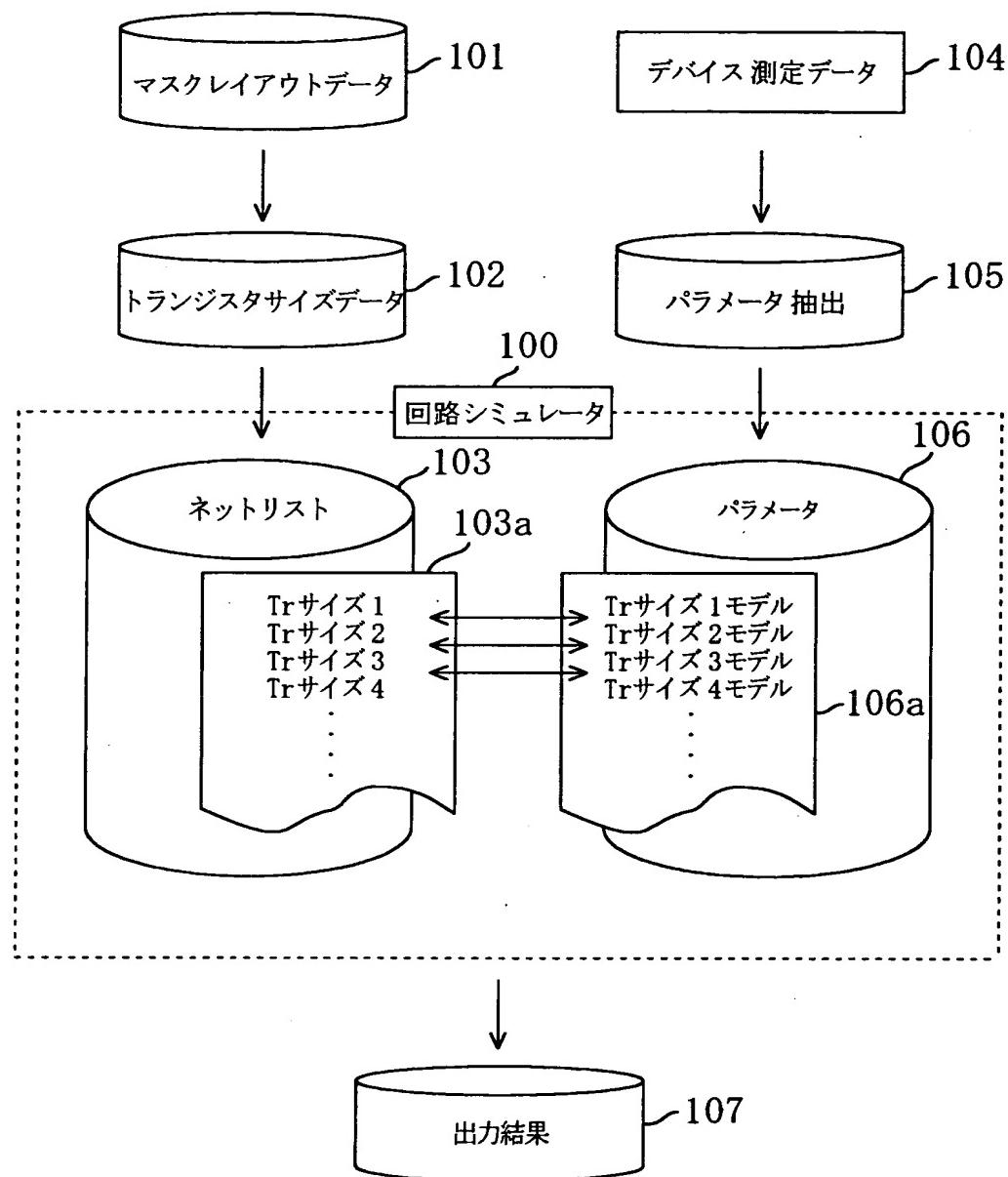
【図13】



【図14】



【図15】



【書類名】 要約書

【要約】

【課題】 微細化された集積回路の設計に用いることができる、信頼性及び精度の向上が図られた回路シミュレーションの方法を提供する。

【解決手段】 本発明の回路シミュレーション方法では、回路のマスクレイアウトデータを基にして作成されたネットリストと、デバイス特性の実測データから得られたパラメータとを基に、回路シミュレータを用いてシミュレーションを行なう。トランジスタサイズの他に、トランジスタに加わる応力に基づいて、実測データからパラメータを抽出するので、応力によるトランジスタ特性の変化を考慮に入れた、より高い精度、正確さを有する回路シミュレーションが可能となる。

【選択図】 図1

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社